



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09252131 A**(43) Date of publication of application: **22.09.97**

(51) Int. Cl.

H01L 29/78**H01L 21/28****H01L 21/3065****H01L 21/324**(21) Application number: **08103377**(22) Date of filing: **29.03.96**(30) Priority: **10.01.96 JP 08 19336**(71) Applicant: **YAMAHA CORP**(72) Inventor: **HIRAIDE SEIJI**(54) **MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

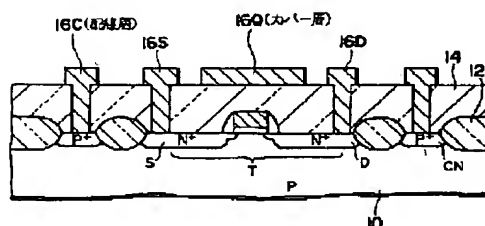
setting can be made the same as mentioned above.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To recover from the process damage sufficiently in a hydrogen annealing step even for a semiconductor device having a wiring layer that includes a Ti layer.

SOLUTION: A cover layer 17Q made up of wiring layers and a Ti layer at the bottom is formed on a layer insulating film 14 that covers a MOS transistor T. A hydrogen annealing step for recovering process damage is carried out before a silicon nitride passivation layer that covers the cover layer 16Q, wiring layers 16C, 16S and 16D is formed on the insulating layer 14. The hydrogen annealing step is carried out in an atmosphere including hydrogen and nitrogen at 400 to 450°C for 30 minutes, where the lower limit of concentration of hydrogen is made higher, by an occlusion value of hydrogen to the Ti layer, than a normal limit without the Ti layer. In the case that the cover layer 16Q is not included, and the wirings 16S and 16D are put in the vicinity of the transistor T, the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-252131

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 N
21/28	3 0 1		21/28	3 0 1 R
21/3065			21/324	Z
21/324			21/302	N

審査請求 未請求 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平8-103377

(22) 出願日 平成8年(1996)3月29日

(31) 優先権主張番号 特願平8-19336

(32) 優先日 平8(1996)1月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 平出 誠治

静岡県浜松市中沢町10番1号ヤマハ株式会社内

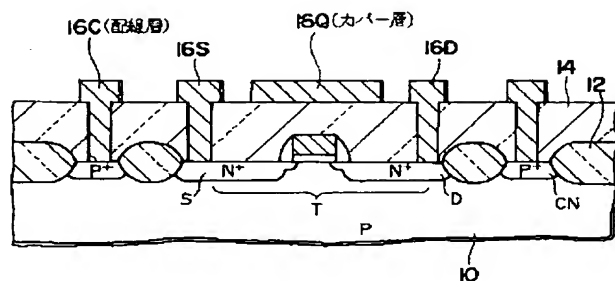
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 半導体装置の製法

(57) 【要約】

【課題】 工程ダメージ回復のための水素アニール処理において、T i 層を含む配線材層があっても十分な回復を可能とする。

【解決手段】 MOS型トランジスタTを覆う層間絶縁膜14の上に最下層としてT i 層を有する配線材層からなるカバー層16Qを形成する。カバー層16Q及び配線層16C、16S、16Dを覆って絶縁膜14の上に窒化シリコン等のパッシベーション膜を形成する前に工程ダメージ回復のための水素アニール処理を行なう。この処理では、水素及び窒素を含む雰囲気中400～450 [°C] 30 [分] 程度の熱処理を行なうが、雰囲気中の水素濃度の下限は、T i 層がない場合に必要とされる水素濃度の下限よりもT i 層による水素吸蔵量分だけ高く設定する。カバー層16Qがなく、配線層16S、16DがトランジスタTに接近配置されている場合にも、同様の設定にする。



【特許請求の範囲】

【請求項1】半導体基板の表面にMOS型トランジスタを形成する工程と、
前記半導体基板の表面に前記MOS型トランジスタを覆って絶縁膜を形成する工程と、
前記絶縁膜の上にTi層を含む配線材層を被着してパターンニングすることにより該配線材層からなるカバー層又は配線層を形成する工程と、
前記絶縁膜と前記カバー層又は前記配線層とを覆ってパッシベーション膜を形成する工程と、
前記パターンニングの後前記パッシベーション膜を形成する前に前記MOS型トランジスタに工程ダメージ回復のために水素を含む雰囲気中で熱処理を施す工程とを含む半導体装置の製法であって、
前記雰囲気中での水素濃度の下限を前記Ti層がない場合に必要とされる水素濃度の下限よりも前記Ti層による水素吸蔵量分だけ高く設定することを特徴とする半導体装置の製法。

【請求項2】 前記Ti層の厚さを T_t [cm]とし、水素の拡散長 60 [μm] を半径とする円内で求めた前記Ti層のパターン率を $P = \text{前記Ti層の面積} / \text{前記円の面積}$ としたとき、前記雰囲気中の水素濃度の下限を $7.8 \times 10^5 \times P \times T_t + 0.05$ なる式に従って設定する請求項1記載の半導体装置の製法。

【請求項3】 前記配線材層は、前記Ti層を前記絶縁膜に接する最下層として含んでいる請求項1又は2記載の半導体装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MOS型トランジスタに工程ダメージ回復のために水素含有雰囲気中で熱処理（水素アニール処理）を施す半導体装置の製法に関し、特にTi（チタン）層を含む配線材層がある場合に該Ti層による水素吸蔵量を考慮してアニール雰囲気中の水素濃度の下限を高く設定することにより十分な回復を可能としたものである。

【0002】

【従来の技術】従来、工程ダメージ回復のためにMOS型トランジスタに施される水素アニール処理としては、水素及び窒素を含む雰囲気中で水素濃度 $5 \sim 20$

[%]、温度 $350 \sim 450$ [°C]、時間 $10 \sim 130$ [分]の条件で熱処理を行なうものが知られている（例えば、特開平7-74167号公報参照）。

【0003】図16は、従来のMOS型トランジスタの一例を示すもので、シリコンからなる半導体基板1の表面にはフィールド絶縁膜2が形成されると共に絶縁膜2の素子孔内の半導体表面にはMOS型トランジスタTが形成される。トランジスタTは、ゲート絶縁膜Fと、ゲート電極層Gと、電極層Gの両側のサイドスペーサHと、不純物濃度が比較的低いソース領域S_i及びドレイ

ン領域D_iと、不純物濃度が比較的高いソース領域S及びドレイン領域Dとを含むもので、いわゆるLDD (Lightly Doped Drain)構造になっている。

【0004】絶縁膜2の上にはトランジスタTを覆って層間絶縁膜3が形成されると共に絶縁膜3にはホトリソグラフィ及びドライエッチング処理によりソース領域S、ドレイン領域Dにそれぞれ対応した接続孔3S、3Dが形成される。そして、基板上面にAl合金を被着してパターンニングすることによりソース配線層4S及びドレイン配線層4Dが形成される。

【0005】次に、エッチング等による工程ダメージを回復させるためにトランジスタTに前述の水素アニール処理が施される。そして、絶縁膜3の上に配線層4S、4Dを覆ってCVD（ケミカル・ベーパー・デポジション）法によりPSG（リンケイ酸ガラス）膜5aを形成する。この後、プラズマCVD法によりPSG膜5a上に窒化シリコン膜5bを形成する。パッシベーション膜5は、膜5a、5bにより構成される。

【0006】上記したような水素アニール処理によれば、工程ダメージを回復させることができる。

【0007】一方、バリアメタルとしてTi層を有する配線層を形成する場合、Ti層による水素吸着を抑制して界面準位を低減するために、Ti層に水素過飽和状態になるまで水素プラズマ処理を施すことが知られている（例えば、特開平7-94692号公報参照）。

【0008】

【発明が解決しようとする課題】上記した水素アニール処理によると、Ti層を含む配線材層がMOS型トランジスタの上方に存在する場合に工程ダメージの回復が十分でないことが判明した。

【0009】図17は、半導体基板1の表面に図16で述べたと同様のMOS型トランジスタT₁、T₂を形成した状態を示すものである。基板1の上面には、トランジスタT₁、T₂を覆って層間絶縁膜6が形成され、絶縁膜6上にはトランジスタT₁の上方に配線材層4が形成される。配線材層4は、例えばAl合金からなるもので、最下層にTi層4aを有する。トランジスタT₁、T₂に前述の水素アニール処理を施した後、絶縁膜6の上に配線材層4を覆って窒化シリコン等のパッシベーション膜7が形成される。

【0010】このような製法によると、配線材層4で覆われていないトランジスタT₂については水素アニール処理により工程ダメージの十分な回復が認められたが、配線材層4で覆われたトランジスタT₁については水素アニール処理を行なっても工程ダメージの回復が十分とは認められなかった。本願発明者は、工程ダメージの回復が十分でないのはTi層4aが水素を吸蔵するため基板とゲート絶縁膜との界面でダングリングボンドの終端が十分になされていないことによるものと考えている。

【0011】このような事態に対処するため、Ti層を

被着した後該Ti層に前述の水素プラズマ処理を施すことが考えられる。しかし、このようにすると、トランジスタ T_1 、 T_2 のホットキャリア耐性が低下するおそれがある。

【0012】この発明の目的は、ホットキャリア耐性を低下させることなく工程ダメージを十分に回復させることができる新規な半導体装置の製法を提供することにある。

【0013】

【課題を解決するための手段】この発明は、半導体基板の表面にMOS型トランジスタを形成する工程と、前記半導体基板の表面に前記MOS型トランジスタを覆って絶縁膜を形成する工程と、前記絶縁膜の上にTi層を含む配線材層を被着してパターニングすることにより該配線材層からなるカバー層又は配線層を形成する工程と、前記絶縁膜と前記カバー層又は前記配線層とを覆ってパッシベーション膜を形成する工程と、前記パターニングの後前記パッシベーション膜を形成する前に前記MOS型トランジスタに工程ダメージ回復のために水素を含む雰囲気中で熱処理を施す工程とを含む半導体装置の製法において、前記雰囲気中での水素濃度の下限を前記Ti層がない場合に必要とされる水素濃度の下限よりも前記Ti層による水素吸蔵量分だけ高く設定することを特徴とするものである。

【0014】この発明の製法によれば、アニール雰囲気中の水素濃度をTi層がない場合に必要とされる水素濃度の下限よりもTi層による吸蔵量分だけ高く設定するので、基板表面とゲート絶縁膜との界面ではダングリングボンドの終端が十分なされるようになり、工程ダメージの十分な回復が可能となる。

【0015】

【発明の実施の形態】図1～7は、この発明に係る半導体装置の製法を示すもので、各々の図に対応する工程(1)～(7)を順次に説明する。図1～5は、図11のX-X'線に沿う断面を示す。

【0016】(1)例えばシリコンからなるP型の半導体基板10の表面を選択酸化して酸化シリコンからなるフィールド絶縁膜12を形成する。絶縁膜12は、素子孔12Aと、この孔をC字状に取囲む接続孔12Bとを有する。素子孔12A内にはNチャンネルMOS型トランジスタTを形成すると共に、素子孔12B内にはP⁺型接続領域CNを形成する。トランジスタTは、図16で述べたと同様のLDD構造のものであり、図16と同様の部分には同様の符号を付して詳細な説明を省略する。図11に示すGWは、ゲート電極層Gに連続したゲート配線層である。

【0017】(2)次に、絶縁膜12の上に接続領域CN及びトランジスタTを覆って層間絶縁膜14を形成する。すなわち、図8にドレイン部の詳細を示すようにCVD法により100[nm]の厚さのPSG膜14a及

び1000[nm]の厚さのBPSG(ボロン・リンケイ酸ガラス)膜14bを順次に形成する。そして、BPSG膜14bを覆って回転塗布法等によりSOG(スピン・オン・ガラス)膜14cを300[nm]の厚さに形成する。SOG膜14cは、BPSG膜14bの段差を埋めて上面がほぼ平坦になるように形成される。この後、図9に示すようにドライエッチング処理によりSOG膜14c及びBPSG膜14bを500[nm]の厚さだけエッチバックし、BPSG膜14bを残存させる。絶縁膜14は、PSG膜14aと残存するBPSG膜14bとで構成される。

【0018】(3)次に、絶縁膜14には、ホトリソグラフィ及びドライエッチング処理により接続領域CNに対応する接続孔14Cとソース領域Sに対応する接続孔14Sとドレイン領域Dに対応する接続孔14Dとを形成する。

【0019】(4)次に、絶縁膜14の上に接続孔14C、14S、14Dを覆って配線材層16を形成する。すなわち、図10に詳細を示すようにスパッタ法により20[nm]の厚さのTi層16aと100[nm]の厚さのTiN層16bと350[nm]の厚さのAl合金(Al-Si-Cu合金)層16cと10[nm]の厚さのTi層16dと50[nm]の厚さのTiN層16eとを順次に形成する。Ti層16aは、接触抵抗を低減するためのもの、TiN層16bは、基板10へのAlの拡散を防ぐためのバリア層、Ti層16dは、Al合金層16cの表面の窒化を防ぐためのもの、TiN層16eは、パターニングの際の光反射を防ぐためのものである。TiN層16b、16eの代りにTiON層を用いてもよい。

【0020】(5)次に、ホトリソグラフィ及びドライエッチング処理により配線材層16をパターニングして図11に示すような平面パターンを有する配線層16C、16S、16D及びカバー層16Qを形成する。配線層16Cは、14C等の多数の接続孔を介して接続領域CNに接続されるバックゲート配線用のものであり、配線層16Sは、14S等の多数の接続孔を介してソース領域Sに接続されるソース配線用のものであり、配線層16Dは、14D等の多数の接続孔を介してドレイン領域Dに接続されるドレイン配線用のものである。カバー層16Qは、トランジスタTへの水分浸入を抑制する等の目的で設けられるものである。

【0021】次に、図5の基板をアニール装置の処理室に挿入し、トランジスタTに水素アニール処理を施す。このときの水素アニール処理は、水素及び窒素を含む雰囲気中で400～450[℃]30[分]の条件で行なうことができる。この場合、アニール雰囲気中の水素濃度の下限は、カバー層16QがTi層16aを含まないときに必要とされる水素濃度の下限よりもTi層16aによる水素吸蔵量分だけ高く設定し、具体的には、後述

する式に従って設定する。

【0022】(6) 次に、絶縁膜14の上に配線層16C、16S、16Dを覆ってプラズマCVD法により150 [nm] の厚さの酸化シリコン膜18aを形成する。

【0023】(7) この後、酸化シリコン膜18aを覆ってプラズマCVD法により1000 [nm] の厚さの窒化シリコン膜18bを形成する。パッシベーション膜18は、酸化シリコン膜18a及び窒化シリコン膜18bにより構成される。

【0024】ところで、アニール雰囲気中の水素濃度Nの下限を決定する式は、次のようにして求められる。

【0025】水素供給量をHin、Tiによる水素吸蔵量をHout、トランジスタのダメージ回復に必要な最小水素量をHminとすると、実効水素量Heffは、次の数1の式で表わされる。

【0026】

【数1】 $H_{eff} = H_{in} - H_{out} > H_{min}$

$$H_{out} = S_t \times T_t \times \rho \times A / m \times K / (1 - K) / 2 \\ = 5.0 \times 10^{21} \times S_t \times T_t$$

Tiが存在しない場合、N=5 [%] で回復しているの
で、回復に必要な最小水素量Hminは、次の数4の式
で表わされる。

$$H_{min} = 6.4 \times 10^{15} \times S \times 0.05 - 5.0 \times 10^{21} \times 0 \\ = 3.2 \times 10^{14} \times S$$

数2～4のHin、Hout、Hminを用いると、実
効水素量Heffは、次の数5の式で表わされる。

$$H_{eff} = 6.4 \times 10^{15} \times S \times N - 5.0 \times 10^{21} \times S_t \times T_t > 3.2 \times 10^{14} \times S$$

数5の式からNを求めると、次の数6の式となる。

【0031】

【数6】 $N > 7.8 \times 10^5 \times (S_t / S) \times T_t + 0.05$

ここで、(St/S)をTiのパターン率Pとすると、
次の数7の式が得られる。

【0032】

【数7】 $N > 7.8 \times 10^5 \times P \times T_t + 0.05$

Tiのパターン率Pは、水素の拡散長60 [μm] を半径とする円内でTiパターンが占める割合であり、例えば図11のカバー層16QについてTi層16aのサイズA、Bをそれぞれ40 [μm]、20 [μm] とすると、次の数8の式で求められる。

【0033】

水素の拡散係数を $D = 1.5 \times 10^{-10}$ [cm²/sec]、アニール時間を $t = 1800$ [sec]、表面水素濃度を $C_s = (6.02 \times 10^{23}) / (55.2 \times 10^3) \times N$ 、系の面積をSとすると、水素供給量Hinは、次の数2の式で表わされる。

【0027】

【数2】

$$H_{in} = 2 / \sqrt{\pi} \times \sqrt{D \times t} \times C_s \times S \\ = 6.4 \times 10^{15} \times S \times N$$

Tiの面積をSt [cm²]、Tiの膜厚をTt [cm]、Tiの密度をρ=4.523 [g/cm³]、アボガドロ数をA=6.02×10²³、Tiの原子量をm=47.9、水素のTi中での固溶度をK=15 [at om%] とすると、Tiによる水素吸蔵量Houtは、次の数3の式で表わされる。

【0028】

【数3】

$$H_{out} = S_t \times T_t \times \rho \times A / m \times K / (1 - K) / 2 \\ = 5.0 \times 10^{21} \times S_t \times T_t$$

【0029】

【数4】

【0030】

【数5】

$$H_{eff} = 6.4 \times 10^{15} \times S \times N - 5.0 \times 10^{21} \times S_t \times T_t > 3.2 \times 10^{14} \times S$$

【数8】

$$P = \text{Ti層16aの面積} / \text{円の面積} \\ = (40 \times 20) / (\pi \times 60^2) \\ = 0.071$$

次の表1は、Ti層16aについて膜厚を20 [nm] 又は40 [nm] にすると共に、平面パターンを「リング」、「メッシュ」又は「パッド」にしてTiのパターン率及び最小限必要な水素濃度をそれぞれ数8及び数7の式に従って算出した結果を示すものである。なお、表1では、Tiのパターン率及び必要水素濃度を百分率で表示してある。

【0034】

【表1】

Ti膜厚 [nm]	20				40			
	なし	リング	メッシュ	パッド	なし	リング	メッシュ	パッド
Ti面積 [μm ²]	0	220	388	800	0	220	388	800
Tiパターン率 [%]	0	1.9	3.4	7.1	0	1.9	3.4	7.1
必要水素濃度 [%]	5.0	8.0	10.3	16.1	5.0	10.9	15.6	27.2

ここで、パターンについて「なし」は、Ti層16aを設けない場合であり、「パッド」は、図11に示すように孔のない方形のカバー層16Qと同一パターンでTi層16aを設けた場合であり、「リング」は、図12に示すように中央部に孔Rを設けたカバー層16Q₁と同一パターンでTi層16aを設けた場合であり、「メッシュ」は、図13に示すように中央部にラインL及びスペースSPを設けたカバー層16Q₂と同一パターンでTi層16aを設けた場合である。図11～13において、カバー層16Q、16Q₁、16Q₂に関する寸法

すると、 $A=40\text{ }[\mu\text{m}]$ 、 $B=20\text{ }[\mu\text{m}]$ 、 $A_1=30\text{ }[\mu\text{m}]$ 、 $B_1=12\text{ }[\mu\text{m}]$ 、 $L=0.5\text{ }[\mu\text{m}]$ 、 $W=20\text{ }[\mu\text{m}]$ である。

【0035】次の表2は、表1に示したTi膜厚及びパターンの組合せに係るサンプル毎に水素濃度Nを5 [%]、10 [%]、20 [%]のように変更して水素アニール処理を行なった後、サブスレッショルドスロープSS [mV/decade]を測定した結果を示すものである。

【0036】

【表2】

Ti膜厚 [nm]		20				40			
パターン		なし	リング	メッシュ	パッド	なし	リング	メッシュ	パッド
水素濃度 N	5 %	85.4	86.2	87.5	90.3	86.4	88.0	90.1	110.0
	10 %	85.8	86.6	87.3	87.9				
	20 %	85.8	86.0	86.9	86.8	85.6	85.7	86.1	98.6

ここで、「パッド」のサンプルは、アニール雰囲気中の水素濃度は別にして図1～7に関して前述したと同様の工程で製作されたものである。パターン「なし」のサンプルは、Ti層16aをなくした点でのみ「パッド」のサンプルと異なるもの、「リング」のサンプルは、Ti層16aを図12のパターンにした点でのみ「パッド」のサンプルと異なるもの、「メッシュ」のサンプルは、Ti層16aを図13のパターンにした点でのみ「パッド」のサンプルと異なるものである。

【0037】通常、水素アニール処理後のサブスレッショルドスロープ値は、87 [mV/decade]より小であれば回復十分と判断される。表2において、網かけした数値は、表1に示した必要水素濃度以上の水素濃度でアニールした場合のもので、87 [mV/decade]より小の条件を満足しており、工程ダメージの回復が十分であることがわかる。

【0038】図14は、この発明の他の実施形態に係るMOS型トランジスタを示すもので、図15のX-X'線に沿う断面に相当する。図14、15において、図1～7と同様の部分には同様の符号を付して詳細な説明を省略する。

【0039】図14、15の実施形態の特徴とするところは、カバー層16Qをなくし、ソース配線層16S及びドレイン配線層16DをトランジスタTのゲート部T₀の近傍に配置したことである。図15において、SC及びDCは、配線層16Sのソース領域Sに対するコンタクト部及び配線層16Dのドレイン領域Dに対するコンタクト部をそれぞれ示す。

【0040】図14、15に示した構成においても、配線層16S、16Dが最下層としてTi層を含んでいるので、前述したカバー層16Qの場合と同様に水素アニ

ール処理において工程ダメージの回復が十分でない。そこで、Ti層による水素吸蔵量を考慮してアニール雰囲気中の水素濃度の下限を高く設定すると、工程ダメージを十分に回復可能となる。

【0041】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、次のような変更が可能である。

【0042】(1) 配線層16C、16S、16DにあつてはTi層16aに相当するTi層が存在すると共に、カバー層16Q、16Q₁、16Q₂にあつてはTi層16dに相当するTi層が存在する。これらのTi層については、数7の式の導出過程で水素吸蔵量を考慮しなかったが、考慮するようにしてもよい。

【0043】(2) この発明は、絶縁膜14より上に1層の配線がある場合に限らず、2層以上の配線がある場合にも適用可能である。

【0044】(3) カバー層は、配線層から分離した例を示したが、配線層に連続していてもよい。

【0045】(4) 水素アニール処理は、パッシベーション膜18を形成する前に行なっているが、パッシベーション膜がPSG等の水素を通ず膜であれば、パッシベーション膜を形成した後に水素アニール処理を行なってもよい。

【0046】

【発明の効果】以上のように、この発明によれば、アニール雰囲気中での水素濃度の下限をTi層による水素吸蔵量を考慮して高く設定するようにしたので、工程ダメージの回復が十分となる効果が得られるものである。

【0047】また、水素プラズマ処理を用いるものではないので、ホットキャリア耐性が低下するおそれがない。

50 い。

9

【図面の簡単な説明】

【図1】 この発明に係る半導体装置の製法におけるMOS型トランジスタ形成工程を示す基板断面図である。

【図2】 図1の工程に続く層間絶縁膜形成工程を示す基板断面図である。

【図3】 図2の工程に続く接続孔形成工程を示す基板断面図である。

【図4】 図3の工程に続く配線材層形成工程を示す基板断面図である。

【図5】 図4の工程に続く配線パターンニング工程を示す基板断面図である。

【図6】 図5の工程に続く酸化シリコン膜形成工程を示す基板断面図である。

【図7】 図6の工程に続く窒化シリコン膜形成工程を示す基板断面図である。

【図8】 層間絶縁膜形成のための絶縁材被着工程を示す基板断面図である。

【図9】 図8の工程に続くエッチバック工程を示す基板断面図である。

【図10】 配線材層形成のための導電材被着工程を示す基板断面図である。

10

【図11】 図1～5に対応するMOS型トランジスタを示す平面図である。

【図12】 カバー層の平面パターンその他の例を示す平面図である。

【図13】 カバー層の平面パターンの更に他の例を示す平面図である。

【図14】 この発明の他の実施形態に係るMOS型トランジスタを示す断面図である。

【図15】 図14のトランジスタのソース配線層及びドレイン配線層を示す平面図である。

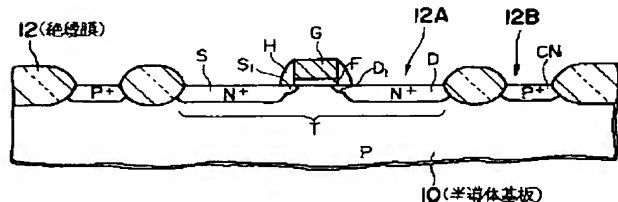
【図16】 従来のMOS型トランジスタを示す基板断面図である。

【図17】 従来の水素アニール工程の問題点を説明するための基板断面図である。

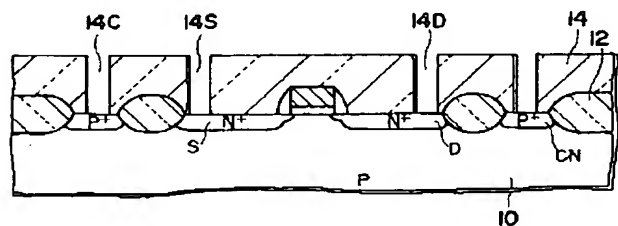
【符号の説明】

10：半導体基板、12、14：絶縁膜、16：配線材層、16C、16S、16D：配線層、16Q、16Q₁、16Q₂：カバー層、18a：酸化シリコン膜、18b：窒化シリコン膜、18：パッシベーション膜、T：MOS型トランジスタ。

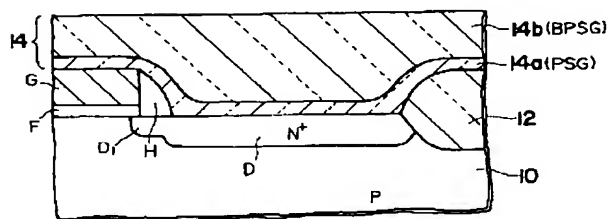
【図1】



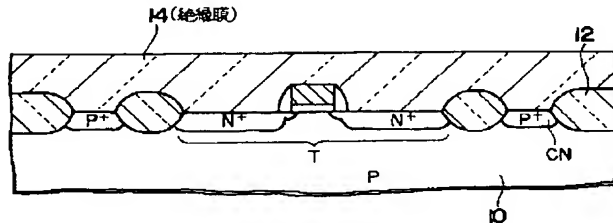
【図3】



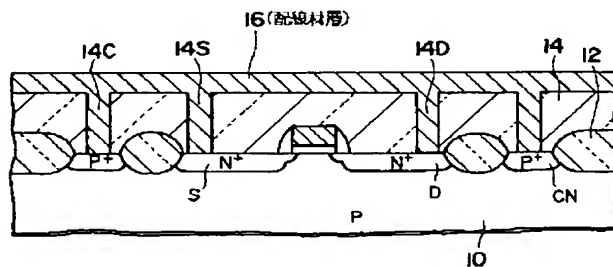
【図9】



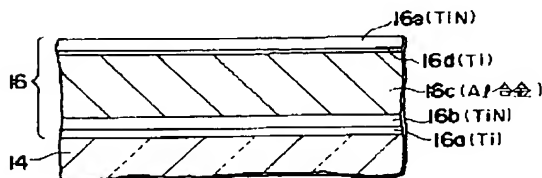
【図2】



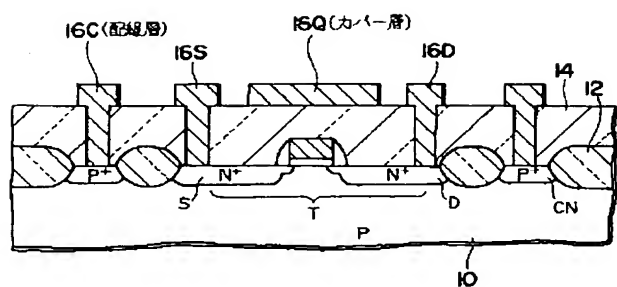
【図4】



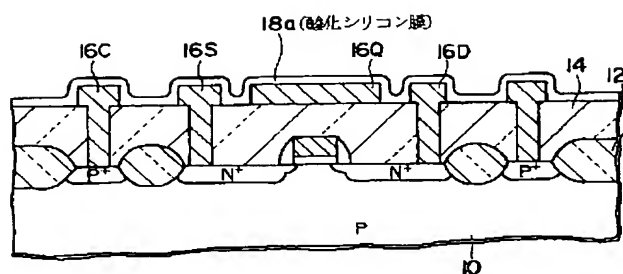
【図10】



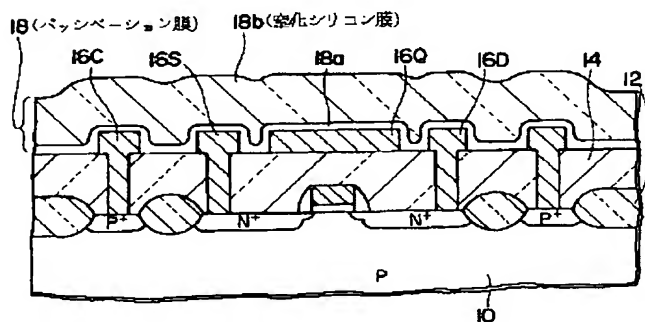
【図5】



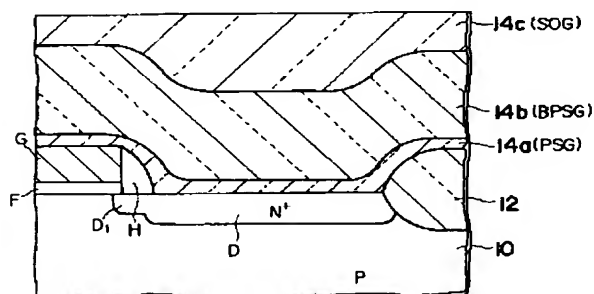
【図6】



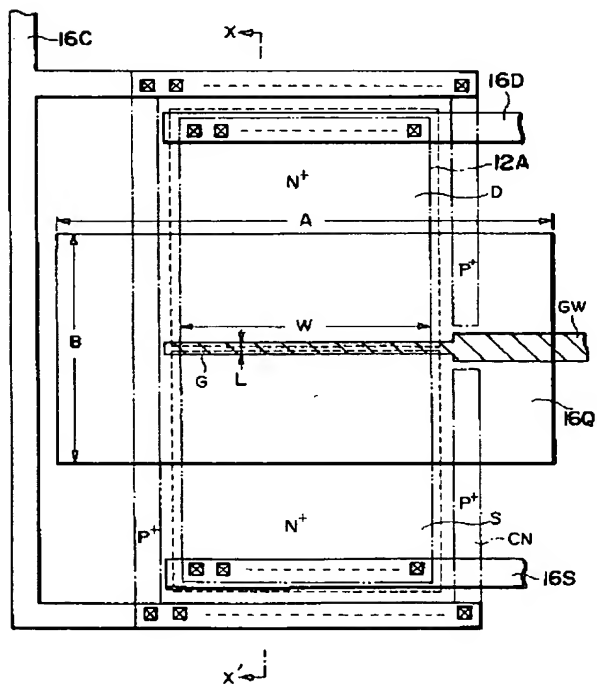
【図7】



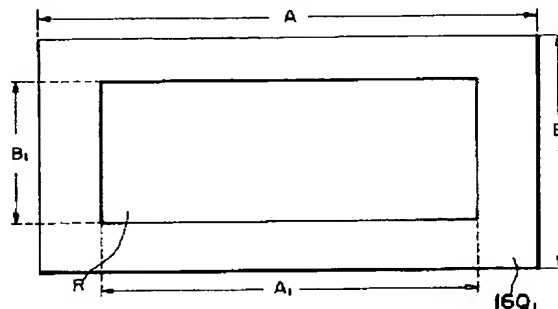
【図8】



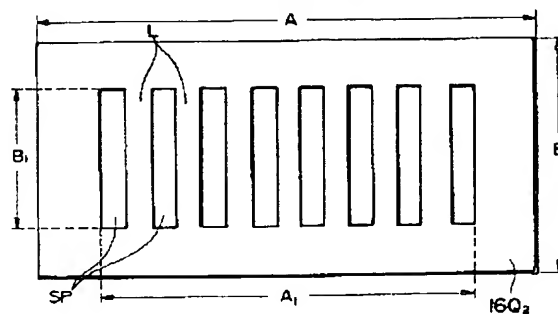
【図11】



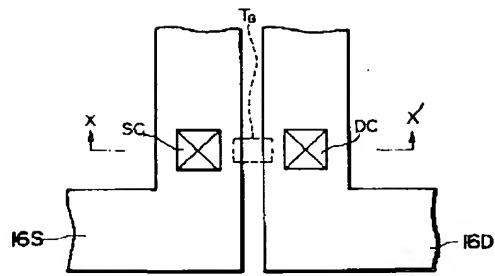
【図12】



【図13】



【图 15】



【图 16】

